

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3183278号

(P3183278)

(45) 発行日 平成13年7月9日(2001.7.9)

(24) 登録日 平成13年4月27日(2001.4.27)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 23/12

5 0 1

H 0 1 L 23/12

5 0 1 Z

H 0 5 K 3/34

5 1 1

H 0 5 K 3/34

5 1 1

請求項の数4(全 4 頁)

(21) 出願番号 特願平11-30256

(22) 出願日 平成11年2月8日(1999.2.8)

(65) 公開番号 特開2000-228458(P2000-228458A)

(43) 公開日 平成12年8月15日(2000.8.15)

審査請求日 平成11年3月24日(1999.3.24)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 川原 秀徳

東京都港区芝五丁目7番1号 日本電気

株式会社内

(74) 代理人 100079005

弁理士 宇高 克己

審査官 加藤 浩一

(56) 参考文献 特開 平8-191111 (J P , A)

特開 平11-17307 (J P , A)

(58) 調査した分野(Int.Cl.⁷ , D B 名)

H01L 23/12 501

H05K 3/34 511

(54) 【発明の名称】 ボールグリッドアレイ型半導体パッケージおよびその実装構造

1

(57) 【特許請求の範囲】

【請求項1】 半導体パッケージのサブストレートの少なくとも二隅部に形成されたスルーホールと、
前記半導体パッケージが実装基板に搭載された後、前記半導体パッケージのスルーホール及び前記実装基板のスルーホールに挿入され、前記半導体パッケージと前記実装基板との間の固定を確実にする補強リードとを備えることを特徴とするBGA型半導体パッケージあるいはLGA型半導体パッケージ。

【請求項2】 前記半導体パッケージサブストレートの全ての隅部に前記補強リードを備えることを特徴とする請求項1に記載のBGA型半導体パッケージあるいはLGA型半導体パッケージ。

【請求項3】 BGA型半導体パッケージあるいはLGA型半導体パッケージが実装基板に搭載された後、前記

2

半導体パッケージのスルーホール及び前記実装基板のスルーホールに挿入された補強リードがはんだ接合されることを特徴とするBGA型半導体パッケージあるいはLGA型半導体パッケージの実装構造。

【請求項4】 前記半導体パッケージの補強リードが、機械的補強に加えて電氣的接続部材の機能を兼ねてなることを特徴とする請求項3に記載のBGA型半導体パッケージあるいはLGA型半導体パッケージの実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ボールグリッドアレイ (Ball Grid Array、以下、BGAという) 型半導体パッケージまたはランドグリッドアレイ (Land Grid Array、以下、LGAという) 型半導体パッケージおよびその実装構造に関するものである。

【0002】

【従来の技術】近年、携帯可能な電子機器類、例えば携帯電話、各種モバイルツール、ノート型パソコン等の普及に伴い、装置の小形軽量化が求められている。このような情勢を踏まえて、LSIチップの高密度化・高集積化が必要となり、これに応えるべくLSIチップの大形化・多ピン化が進み、対応する実装構造への要請が強まっている。

【0003】従来、携帯機器において、CSP（チップサイズパッケージ）あるいはFPBGA（ファインピッチBGA）と呼ばれる小形のパッケージも含めてBGA型半導体パッケージは、実装後の強度や信頼性を向上する目的として、実装基板とパッケージの間あるいはパッケージの周囲に樹脂を塗布し、硬化するという方法が採用されている。しかし、この従来技術には、次のような問題点があった。

【0004】第一の問題点は、作業工程が増え、製造リードタイムおよび加工コストが増加することである。自動搭載工程の後、BGA型半導体パッケージの周囲あるいはBGA型半導体パッケージと実装基板との間に樹脂を塗布する作業を行い、塗布完了後、硬化炉に入れ樹脂を硬化し、一定時間後取り出すといった作業が必要となるためである。

【0005】第二の問題点は、前述の通り樹脂の硬化工程が必要であるため、実装基板および実装済み部品に、余分な熱ストレスや機械的ストレスが加わることであり、通常であれば、自動搭載工程のリフローによる加熱のみであるものが、樹脂硬化のための加熱が加わることであり、実装基板の反りあるいは実装基板や実装済み部品の熱ストレスによる品質劣化といった問題を引き起こす危険性がある。

【0006】第三の問題点は、樹脂の塗布および硬化により、BGA型半導体パッケージの部分修理（リペア）が不可能となることである。樹脂は一般に、エポキシ系などの熱硬化型樹脂が用いられるため、一旦硬化してしまえば取り除くことができない。したがって、実装したBGA型半導体パッケージのごく一部にでも不良が発生すると修理不能となり、実装基板全体を廃棄しなければならないことになってしまう。

【0007】その他の従来技術、例えば特開平9-307022号公報には、BGA型半導体パッケージのマトリクス状に配置されたはんだボールのうち、最外周に位置する部分のはんだボールを、内側部分のはんだボールよりも大きな径に形成することではんだ付け不良を防止できるとある。しかし、この従来技術では、最外周のはんだボールの径が大きいため、他のはんだボールよりも高さが高くなる。したがって、他部分のはんだボールが実装基板に印刷されているはんだペーストに対して均一に接触せず、未接続による不良が発生する危険性が高いという問題点がある。また、特開平9-162241号

公報も同様に半導体パッケージの四隅に補強用突起を設ける従来技術を開示している。

【0008】これらの従来技術と類似の思想に基づく従来技術として特開平9-205113号公報は、プリント配線板の下面辺縁部に一体状のはんだによる補強膜を形成しておき、実装基板との間の溶着を確実に行う構成を開示している。この技術では、補強膜のはんだ量ははんだバンプのそれよりも十分に多いことから疲労破壊が防止でき、かつ溶着時の表面張力の影響により最適のフイレット形状が得られるとしている。しかし、はんだバンプと補強膜とのはんだ量が圧倒的に異なるため、特にはんだボール部分において溶着時の接続ムラが生ずる事態も否定できない。

【0009】また、BGA型半導体パッケージの実装構造に関する従来技術としては、はんだボールの溶着部に含まれるボイドを防止するための構造に関する技術（特開平10-270856号公報）があるが、これは多層配線基板のパッドの構造を改善したものである。BGA型の電子部品を実装する際の位置ずれを防止するために、電子部品側にスルーホールを、そしてプリント配線板側にパッドを設けて、両者の整合を図る技術も知られている（特開平9-205113号公報）。しかし、この場合は単なる位置合わせマークとして機能するに過ぎず、電氣的または物理的な接合状態には役立っていない。

【0010】

【発明が解決しようとする課題】本発明は、上述のような従来技術の問題点を解決し、電氣的または物理的な接合状態をも改善することができるBGA型半導体パッケージまたはLGA型半導体パッケージとその実装構造を提供することを課題とする。

【0011】

【課題を解決する為の手段】前記の課題は、半導体パッケージのサブストレートの少なくとも二隅部に形成されたスルーホールと、前記半導体パッケージが実装基板に搭載された後、前記半導体パッケージのスルーホール及び前記実装基板のスルーホールに挿入され、前記半導体パッケージと前記実装基板との間の固定を確実にする補強リードとを備えることを特徴とするBGA型半導体パッケージあるいはLGA型半導体パッケージによって解決される。又、前記半導体パッケージサブストレートの全ての隅部に前記補強リードを備えることを特徴とする。

【0012】又、前記の課題は、BGA型半導体パッケージあるいはLGA型半導体パッケージが実装基板に搭載された後、前記半導体パッケージのスルーホール及び前記実装基板のスルーホールに挿入された補強リードがはんだ接合されてなることを特徴とするBGA型半導体パッケージあるいはLGA型半導体パッケージの実装構造によって解決される。又、前記半導体パッケージの補

強リードが、機械的補強に加えて電気的接続部材の機能を兼ねてなることを特徴とする。

【0013】本発明によるBGA型半導体パッケージまたはLGA型半導体パッケージは、半導体パッケージ側の少なくとも二隅に実装後に補強機能を発揮する補強リード端子を有している。そして、これらを実装基板のスルーホールまたはその表面にはんだ接合して固定することにより、外部の機械的ストレスあるいは熱的ストレスに対する補強として、BGA接合されている端子を保護するものである。

【0014】

【発明の実施の形態】以下、添付図を参照しつつ本発明の好適な実施例を開示する。しかし、この実施例によって本発明を限定するものではない。図1に示す通り、本発明のBGA型半導体パッケージ1は、サブストレート2の少なくとも対角隅部、望ましくは四隅部に補強リード取り付け穴3を有しており、この穴3には図2の側面図に示す通り予め補強リード6が接合されている。なお、符号4は半導体封止部、符号5ははんだボールである。補強リード6の取り付け方法は、高融点はんだ、接着などいずれの手段であってもかまわないが、補強目的の他に、実装基板との間で電源やグランドなど電気的機能も併せて持たせる場合は、補強リード取り付け穴3をスルーホールにしておき、接合方法も電気的接続が取れる方法にすればよい。

【0015】次に、図3は、本発明にかかるBGA型半導体パッケージ1を実装基板7に実装する状態を示す側断面図である。この図に示すように、実装基板7との電気的接続は従来通りはんだボール5によってなされ、補強リード6は実装基板7の所定の位置に設けられた貫通スルーホール8に対してはんだ接合される。なお、補強リード6のような挿入端子が付いていても、スルーホールランド部にはんだペーストを印刷した後に、従来通りの自動搭載は可能である。これによって、補強リード6が実装後の外的ストレスからはんだボール接合部を保護し、耐久性、信頼性が大幅に向上する。

【0016】また、ここでは、あらかじめ補強リード6がBGA型半導体パッケージ1に取り付けてあるものとして説明しているが、半導体パッケージ1に予め形成されたスルーホールを実装基板7側のスルーホールに合わせて自動搭載し、搭載完了後にパッケージと実装基板7の双方のスルーホールに補強リード6を挿入して、両者に対してはんだ付けを行っても同じ効果が得られる。

【0017】次に、図1、及び図2のBGA型半導体パッケージの実装方法について、図を参照して説明する。図4を参照すると、実装基板7に対して、BGAランド部だけでなく、貫通スルーホール8に対してもスクリーン印刷法あるいはディスペンス法等により、はんだペースト9を供給する。次に、よく知られている搭載機により所定の位置に合わせて本発明のBGA型半導体パッケ

ージ1を搭載する。

【0018】貫通スルーホール8部に供給されたはんだペースト9は、補強リード6が貫通スルーホール8に挿入されることにより押し込まれ、実装基板7の裏側にも回り込む。最後にリフロー加熱されることにより、図3のように、はんだボール5および補強リード6がそれぞれはんだ付けがなされ実装が完了する。

【0019】これによって、補強リード6のはんだ付け部が、BGA型半導体パッケージ1と実装基板7とを確実に固定することになる。したがって、これら補強リード6に包囲された内側部のはんだボール5のはんだ付け部は、機械的あるいは熱的な外部ストレスから保護されることになり、実装後の強度、信頼性を大幅に向上せしめることができる。

【0020】次に、本発明の他の実施例を示す図5を参照すると、サブストレート2には補強リード取り付け穴が無く、補強リード6はサブストレート2の表面所定位置に接合固定されている。この実施例では、サブストレート2に取り付け穴が不要であるため、図1の実施例の場合に比べ、BGA型半導体パッケージを小型化できるという新たな効果を有する。

【0021】さらに他の実施例を示す図6を参照すると、補強リード6下方の開放端において実装基板との接続側も面実装型になっている。この実施例では、実装基板に貫通スルーホールが不要となるという新たな効果を有する。また、本実施例では、補強リード6は、主としてBGA型半導体パッケージに予め固定されているものとして述べてきたが、BGA型半導体パッケージを実装後に、同様の補強リードをはんだ付けあるいはそれに類する方法で固定する場合でも同様の効果が得られる。

【0022】さらに、これまでの実施例では全てBGA型半導体パッケージについて言及しているが、LGA（ランドグリッドアレイ）型半導体パッケージにおいても全く同様の効果が得られる。

【0023】

【効果】本発明にかかるボールグリッドアレイ型半導体パッケージおよびその実装構造によれば、以下のような効果が得られる。第一の効果は、実装後の接続強度および信頼性が極めて大きく向上することである。このため、装置設計において、実装位置の制約や機構的補強部品が不要となる。

【0024】第二の効果は、搭載後工程での作業が不要となることである。従来、高い信頼性が求められる装置や、外部ストレスにさらされやすい携帯機器においては、搭載の後工程で、BGAパッケージの周囲や裏面の隙間に樹脂を塗布、硬化することで、強度や寿命を向上させていたが、これらの作業を削減できる。これによって、製造リードタイムの短縮や加工コストの削減といった効果が期待できる。さらに、樹脂硬化の際の加熱が不要となることで、実装基板や実装済み部品の品質劣化を

防ぐ効果も期待できる。

【図面の簡単な説明】

【図1】本発明にかかるBGA型半導体パッケージの平面図である。

【図2】本発明にかかるBGA型半導体パッケージの側断面図である。

【図3】本発明にかかるBGA型半導体パッケージを実装基板に実装した状態を示す側断面図である。

【図4】本発明にかかるBGA型半導体パッケージを実装基板に実装する前段階の状態を示す側断面図である。 10

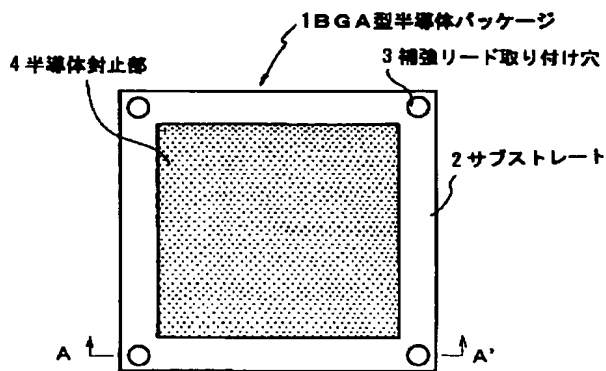
【図5】本発明にかかるBGA型半導体パッケージのその他の実施例を示す側断面図である。

【図6】本発明にかかるBGA型半導体パッケージのさらに他の実施例を示す側断面図である。

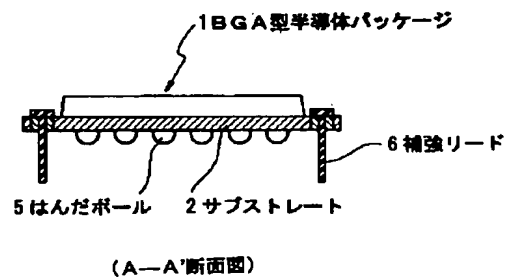
【符号の説明】

- 1：BGA型半導体パッケージ
- 2：サブストレート
- 3：補強リード取り付け穴
- 4：半導体封止部
- 5：はんだボール
- 6：補強リード
- 7：実装基板
- 8：貫通スルーホール
- 9：はんだペースト

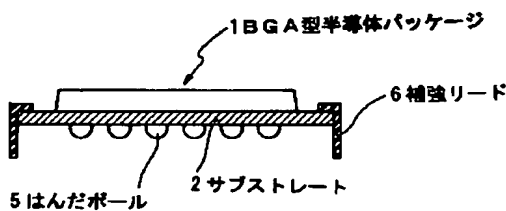
【図1】



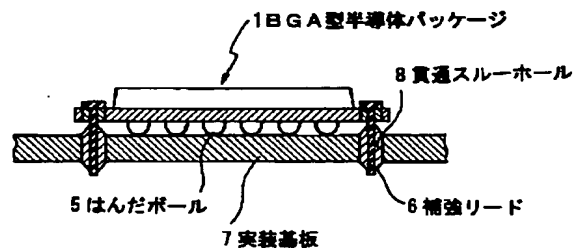
【図2】



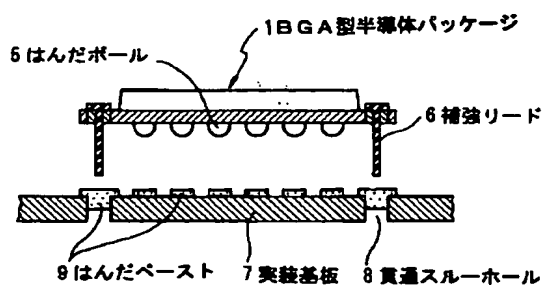
【図5】



【図3】



【図4】



【図6】

